实例学习 Robei 芯片设计系列

一. 数字逻辑门设计

Robei LLC

1. 实验目的

数字逻辑是芯片电路的基本组成部分。本次实验主要分析数字逻辑门在 Robei 软件中利用 Verilog 语言实现的方式,并通过该实验让参与者快速体验并掌握"图形化+代码"的新型设计模式。

2. 实验准备

2.1 理论分析

逻辑门是数字电路的基础,常见的数字电路逻辑门有与门,或门,非门,与 非门,或非门和异或门等。本次实验重点讨论其中的几个逻辑门用 Verilog 在 Robei 软件中的设计和仿真。以常见的与门为例,如图1所示,通过其真值表可 以看出,只有当两个输入同时为1的时候,输出才是1,其他情况下均为0.与 门的数学表达式为:



2.2 软件准备

熟悉 Robei 软件。在 Robei 官方网站上(http://www.robei.com)下载最新版 Robei 软件,并安装。打开 Robei 软件,熟悉 Robei 软件的结构和菜单。将鼠标 放在工具栏的每个图标上查看图标所代表的内容。点击菜单"Help",在下拉菜 单中点击"Help",查看 Robei 最新版用户使用说明书。

3. 实验内容

3.1 模型设计

(1)

1) 新建一个模型。点击工具栏上的 图标,或者点击菜单"File"然后在下 拉菜单中选择"New",会有一个对话框弹出来(如图2所示)。在弹出的 对话框中设置你所设计的模型。

New Project Setting	
Module Name: andgate	
Module Type: module -	
Language: Verilog -	
Input Ports: 2	
Output Ports: 1	
Inout Ports: 0	
<u>O</u> K <u>C</u> ancel	
网2实体人西日	
图 2. 新建一个坝日	

图 2 所对应的每项分析如下:

(1) Module Name: 模块名称,这里我们想创建一个叫 and gate 的模块, 输入 and gate。

(2) Module Type: 模块类型。Robei 支持4中类型, "module", "testbench"和"constrain"。 这里我们创建的是一个模块,选择 "module"。

(3) Language: 设计语言,这里只有一种设计语言 Verilog。

(4) Input Ports: 输入引脚的数目,我们设计的模块有 2 个输入引脚 a 和 b,所以输入 2。

(5) Output Ports: 输出引脚的数目,我们设计的模块只有1个输出引脚y,所以输入1。

(6) Inout Ports: 既可以作为输入又可以作为输出引脚的数目,我们设计的模块没有用到 该类型引脚,所以输入 0。

参数填写完成后点击"OK"按钮, Robei 就会生成一个新的模块, 名字就是 andgate, 如图 3 所示:

module1 🗵	andgate 🛛	G			
E Labl.doc*	< 📅 he	dp.doc	ai shiyanz	shu.doc	+ -
1 12 141	1.61 1.81 1201 122	1 1141 1151 1151 12	101 1221 1241 1261 1	28111301133	1.11
⊳ p0					
				p2 <mark>></mark>	
p 1		andgate			
(2) Maán				」は1999年から、24.4m ²¹ 、 ²¹ testbend	n anaga Ti fa Ma
这些我们创					
(6) Langu					
(4) Input				引脚a和b。	
(5) Output				输出与脚对,是	
	CIB . M. PIENIFA	アモリハストロショー		14111X N.R.	NAX B IT
		按钮, 比尔尔门机会	主义一个正常	d、福守就是?	nd gate s
Graph / Co	de/				
		因 2 片门逻辑	对而 团		

图 3. 与门逻辑界面图

2) 修改模型。在自动生成的界面图上用鼠标选中输入引脚"p0",右侧的属性编辑栏就会展示该引脚相对应的属性如图4所示。每条属性有其对应的名称。为了跟实验设计名称一致,我们把p0的名称改成a,p1的名称改成b,p2的名称改成y。修改的方法是在属性编辑器 Name 栏里面修改并点回车。为了区分每个引脚,我们可以修改每个引脚的Color值,并点回车保存。修改完成后如图5所示。



3) 输入算法。点击模型下方的 Code (如图 6 所示)进入代码设计区。

module1 🖂 andgate 😫
Labl.doch help.doc help.doc help.doc
andgate
Graph
图 6. 点击 Code 输入算法
在代码设计区内输入以下 Verilog 代码:
assign y = a & b; //学习 Verilog assign 的写法。
这代和京和的具片门逻辑行管 加图 7 近子
o代码实现的定当门这种运算。如图7万小。 module1 andgate 图
14 assign y = a & b;
Graph (Code)
leng計区內输入以下 <u>Verilor</u> 代码: lengent た
[3]字词的是与门逻辑运算。如图:所示。
Graph/\Code/

图 7. 算法输入

4) 保存。点击工具栏 图标,或者点击菜单"File"中的下拉菜单"Saveas", 将模型另存到一个文件夹中。

\ominus Save File				X
🕞 🔵 🗢 📙 🕨 lab1		- ↓	Search lab1	Q
Organize • New	folder			. 6
Favorites Desktop Downloads Recent Places	Name	C No items match your sear	Date modified	Туре
 Libraries Documents Music Pictures Subversion 				
	▼	III		4
File <u>n</u> ame: Gave as <u>type</u> :	andgate Nodel File(*.model)		Save	• •
图 & 保存为模型 5) 运行。在工具栏点击 或者点击菜单"Build"的下来菜单"Run",执行代码检查。如果有错误,会在输出窗口中显示。如果没有错误提示,恭喜你,模型 andgate 设计完成。				
 3.2 测试文件设 1) 新建一个文件 	古去工具栏上的	图标 在弹出的	的对话框由参	昭図0进

 新建一个文件。点击工具栏上的 零 图标,在弹出的对话框中参照图9进 行设计。

		\ominus New Project Setting
		Module Name: andtest
		Module Type: testbench -
		Language: Verilog -
		Input Ports: 2
		Output Ports: 1
		Inout Ports: 0
		OK Cancel
		图 9. 新建测试文件
2)	修改各个引脚的颜色	色。选中每个引脚,在属性栏中修改其颜色,方便区分不
		Module Type: testbench
		Language: Verilog
		Output Ports: 2
		Inout Porter 0
		OK Cancel
	Dp1	andtest
		图《新建观试文件
	- 修改各个引脚	的颜色。浩中每个引脚,在属性栏中修改其颜色,方便区分不
		图 10. 修改引脚颜色
3)	另存为测试文件。	点击工具栏 🗭 图标,将测试文件保存到 andgate 模型
	所在的文件夹下。	



图 11. 保存测试文件

4) 加入模型。在 Toolbox 工具箱的 Current 栏里,会出现一个 andgate 模型,单 击该模型并在 andtest 上添加。

ToolBox • ×		130 132 134
Current	andtest	
andgate andgate	S Recent Places	
	Dependence	
4) 加入模型。		p2
击该模型手	Pa andgate 1 V	
	n Hide Folders	Save
	图 10. 保存测试文件	
System	加入模型。在Toolbox工具箱的Current栏里,会出现一个。	ndgate 模型,单击

图 12. 添加模型

5) 连接引脚。点击工具栏中的 图标,或者选择菜单"Tool"中的"Connect", 连接引脚 p0 到 a,p1 到 b 和 y 到 p2。这个时候,注意查看连接线的颜色。如



6) 输入激励。点击测试模块下方的"Code",输入激励算法。激励代码在结束的时候要用\$finish 结束。





<u>File Edit View</u>					1
1 🛨 🏓 📀	XPBB	andgate (1)	andtest 🖪		Search
Signals Values	าร 	10ns IIIIIIIIIII	20ns	Workspace	₽×
				andtest.vcd	Property
 Zose ankiješe 				Waves	
				🔺 🔳 andtest	
				<i>d</i> p2	
				<i>d</i> p1	
				<i>∕</i> ø0	
				🕘 📕 andtes	st.andgate1
				a y	
				l de b	
				a a	
Ready					.41

图 15. 波形查看器

点击右侧 Workspace 中的信号,进行添加并查看。点击波形查看器工具栏上的

图标进行自动缩放。分析仿真结果并对照真值表,查看设计正确与否。



图 16. 查看波形

4.问题与思考

实验中以与门作为例子进行设计,你如何经过简单改动,按照同样的方式来设计或门,非门和以或门并进行仿真验证?

逻辑门	运算符	Verilog 算法代码
与门	&	assign y=a&b
或门		assign y=a b;
异或门	^	assign y=a^b;
「「非	~	assign y=∼a;

5.常见问题

1) 我为什么仿真之后看不到波形?

Robei 的模型有四种类型: "module", "model", "testbench" 和"constrain"。 如果你想仿真之后看波形应该将顶层的仿真模块类型设置成"testbench"。同时, testbench 的模型的输入端口类型应为"reg", 输出类型应为"wire"。

2) "model" 和 "module"有什么区别?

正在设计的模块叫做"module", 一旦设计完成,并把此模块应用到其他的设计模块的时候,该模块的类型自动变成"model"。"model"的一些属性不可更改,被保护了的。

3) 怎么样看到模块的完整代码?

在 "Code" 中, 你只能看到用户输入的代码部分, 而且这些代码不是从第一行开始计数的。点击菜单 "View"中的下拉菜单"CodeView", 你可以看到所有的代码, 包括自动生成的。

4) 我没有注册能不能仿真看波形? 可以。

若贝软件是一款全新的芯片可视化设计和仿真工具。该软件集成了先进的图 形化与代码设计的优势,同时具备 Verilog 编译仿真和波形分析,可以实现各种 系统的设计,仿真和测试。软件生成标准的 Verilog 代码,可以直接与各种 EDA 工具相融合。界面美观,简洁。若贝通过一种结构层面上图形化设计,算法层面 上代码输入的方式,不仅使设计更加直观,且内置的代码生成功能更可以减少代 码输入中的错误,实现快速设计。若贝不仅仅是一款为学生和老师准备的优秀的 教学工具,也是一款为初级到中级的硬件设计工程师准备的快速开发验证工具。 欢迎各位用户给我们提出宝贵的建议,也欢迎各种机构与我们进行合作。我们的 网址是:http://www.robei.com

Copyright © Robei