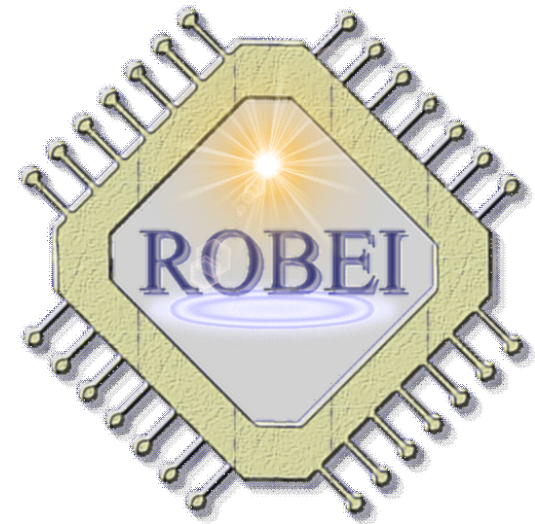


# Robei可视化芯片设计

**美国若贝科技**  
**robeisale@gmail.com**  
**<http://robei.com>**  
**+1-217-819-9886**



❖ 简介

❖ Robei的结构

❖ 实例介绍

❖ Robei的特色

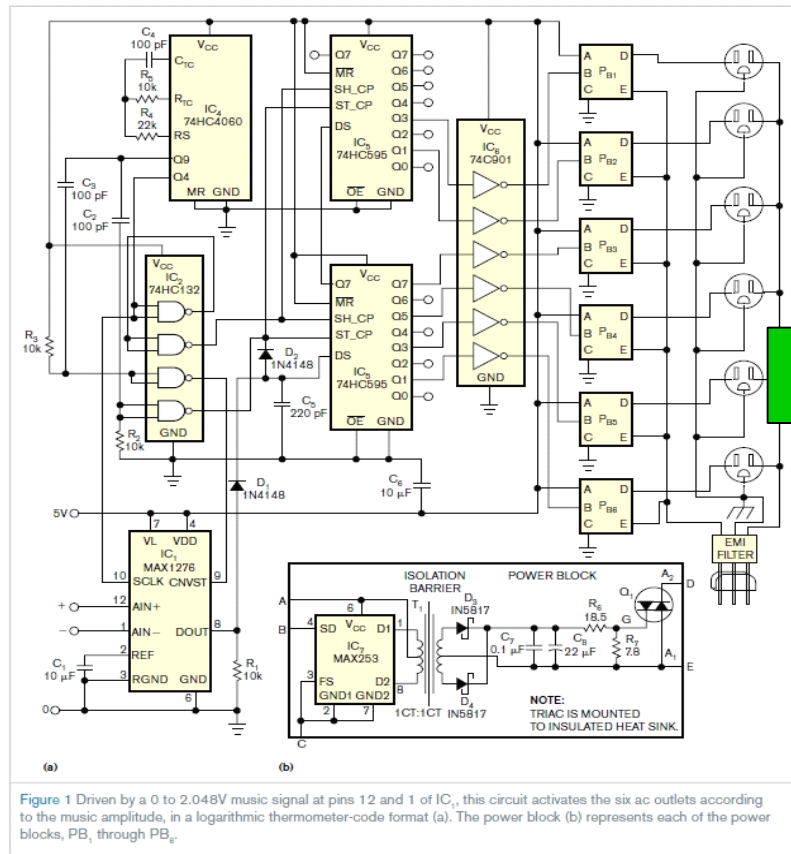
# 1.Robei简介

- 框图设计和代码设计
- Robei的解决方案
- Robei概要

# 框图设计和代码设计对比

❖ 直观  
● 不灵活

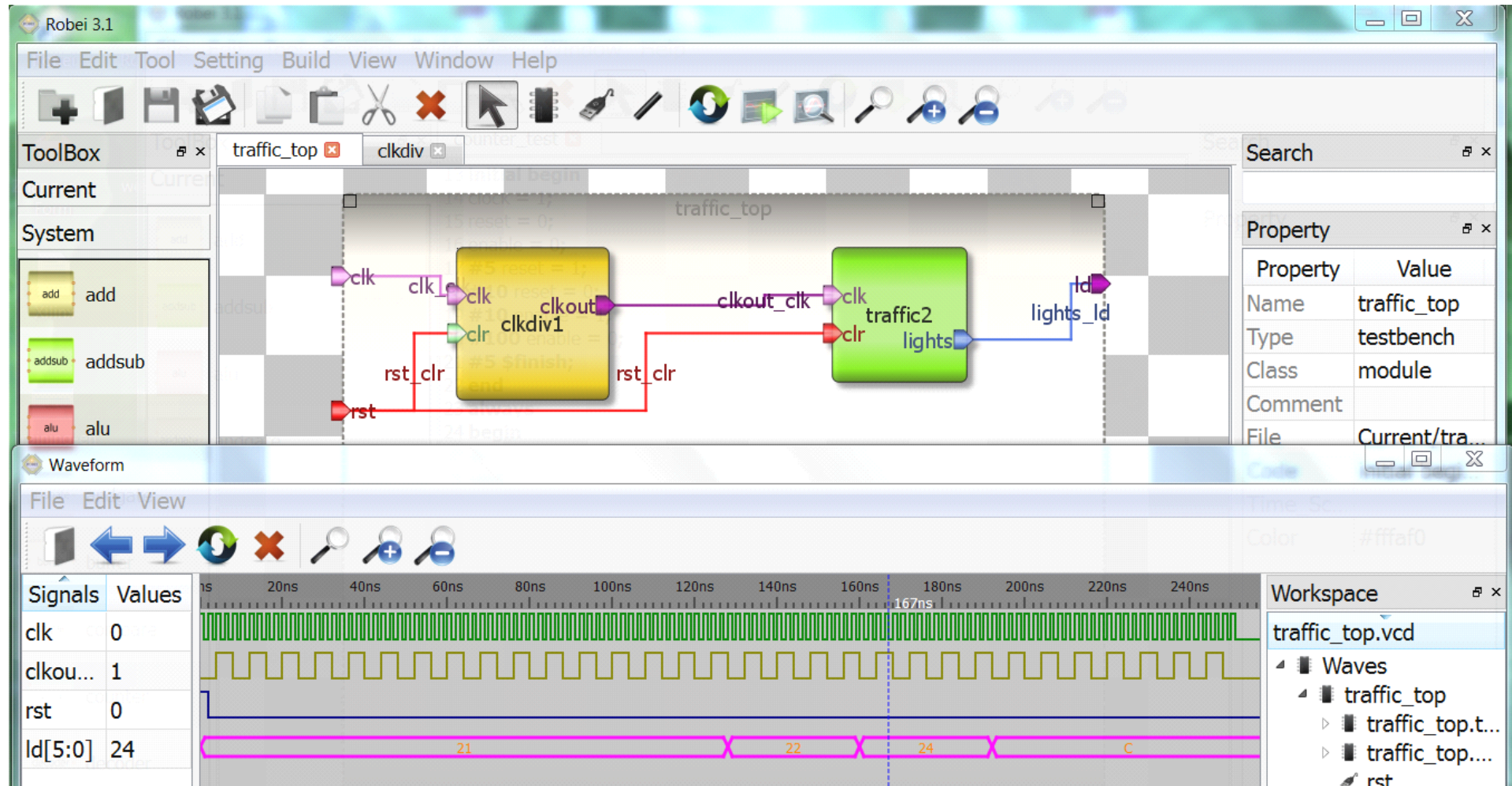
❖ 非常灵活  
● 不直观



```
blocking.v counter.v latch.v register.v  
  
module seq1101_mealy(x, y, CLK, RESET);  
    input x;  
    input CLK;  
    input RESET;  
    output y;  
    reg y;  
  
    parameter start = 2'b00, got1 = 2'b01, got1  
  
    reg [1:0] Q;    // state variables  
    reg [1:0] D;    // next state logic output  
  
    // next state logic  
    always @(x or Q)  
    begin  
        y = 0;  
        case (Q)  
            start: D = x ? got1 : start;  

```

# Robei软件



# 新一代芯片设计工具

➤ 跨平台



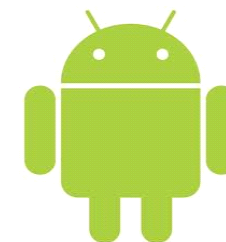
➤ 框图和代码设计互补



➤ 可视化设计

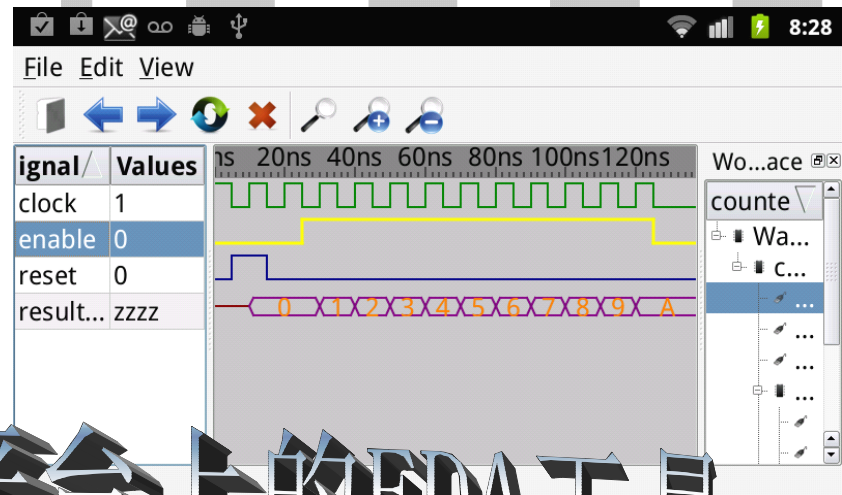
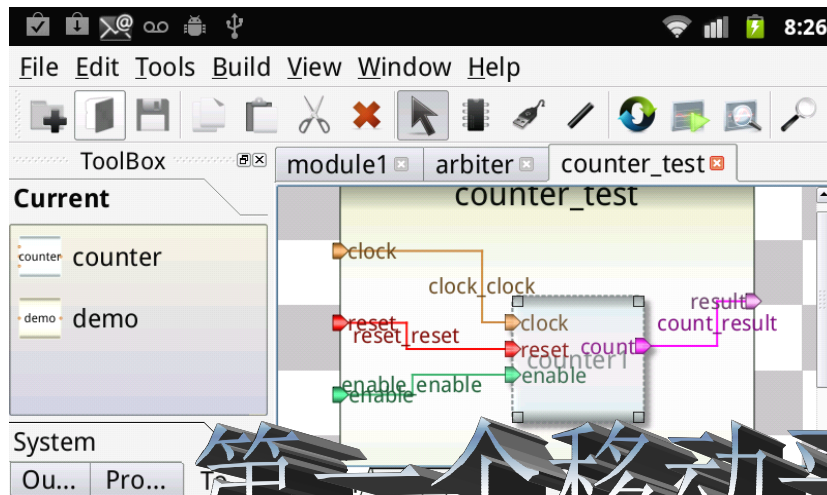
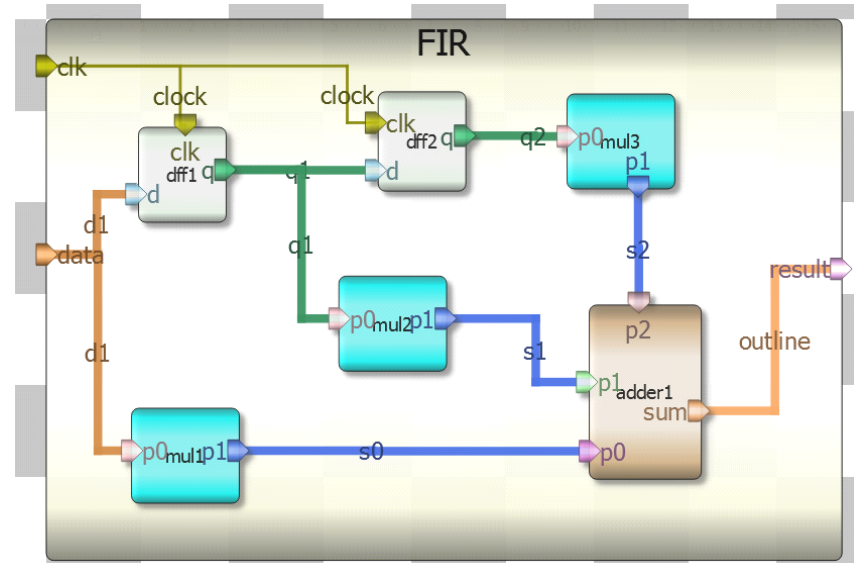
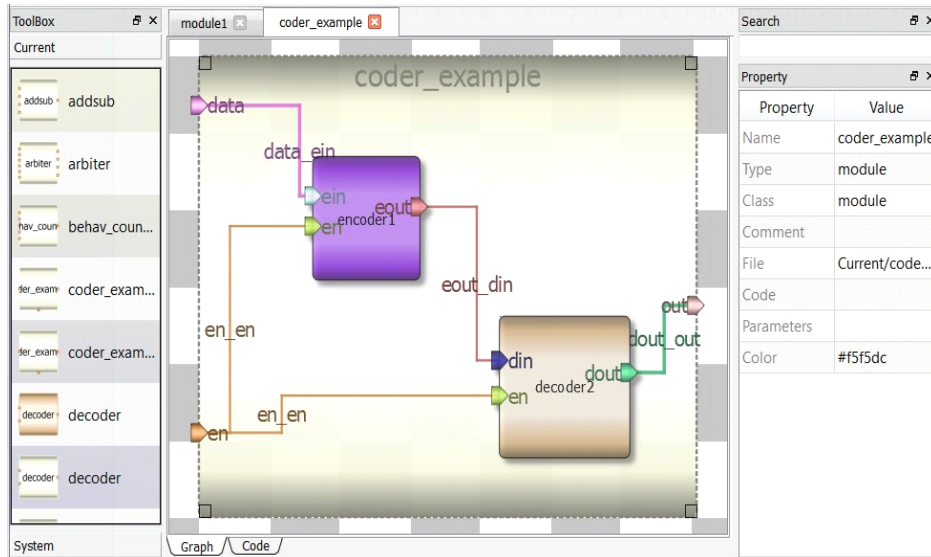


➤ **IP**透明和分层设计





# Robei的例子



第一个移动平台上的EDA工具

Copyright © Robei

- 问答讨论



## 2.Robei的基本构成

### ◆ Robei软件界面

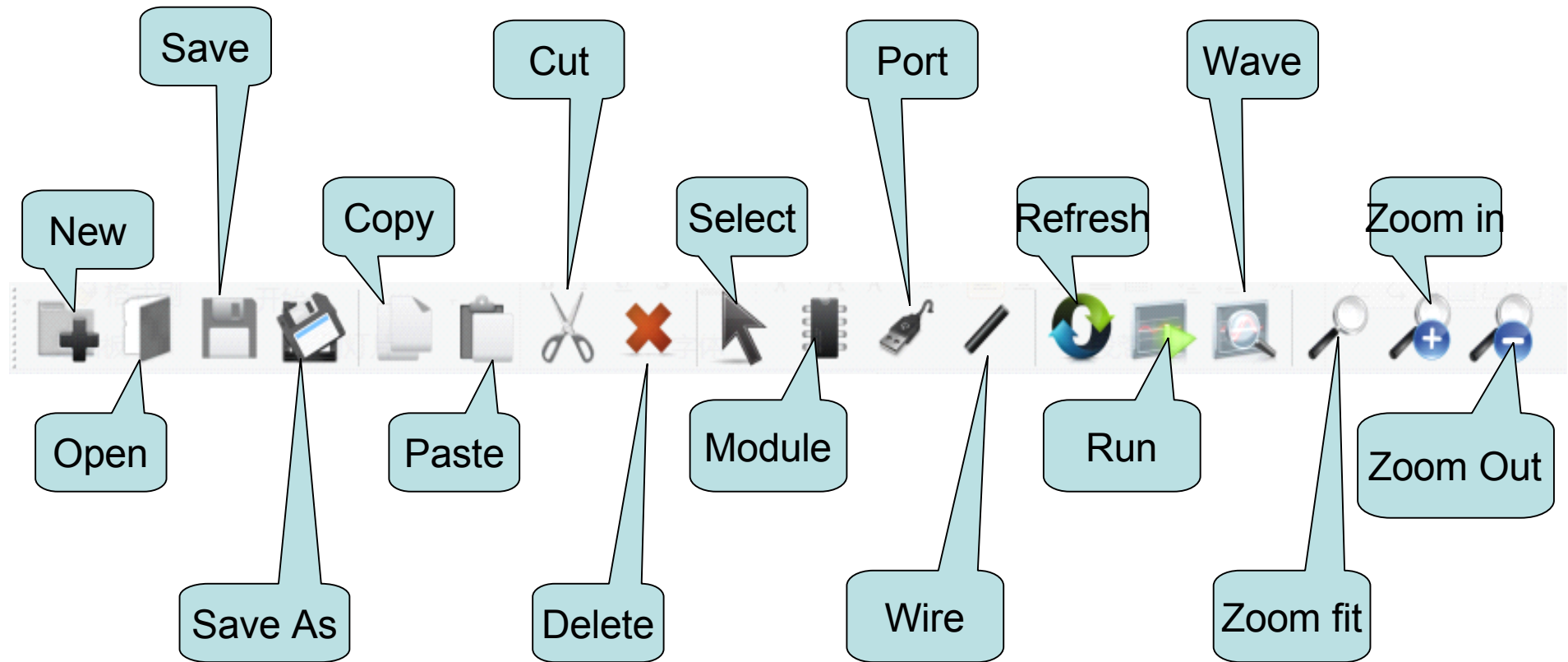
- ❖ 工具条 ( Toolbar )
- ❖ 工具箱 ( Toolbox )
- ❖ 属性编辑器 ( Property )
- ❖ 输出信息窗口 ( Output )
- ❖ 工作空间 ( Workspace )
- ❖ 波形 ( Waveform )

### ◆ 三元素

- Module
- Port
- Wire

### ◆ 代码生成

# 工具条

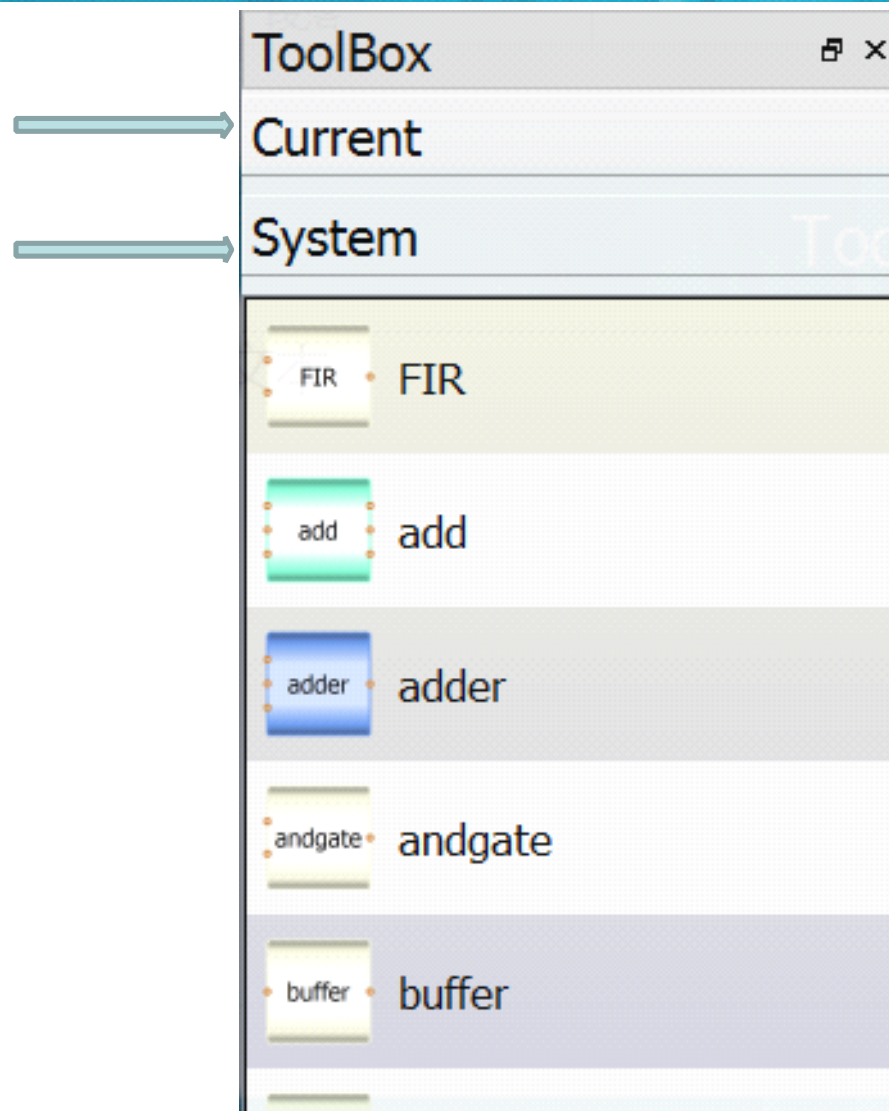


# 工具箱

❑ Current: 当前工具路径

❑ System: 系统库文件

用户可以添加库文件.



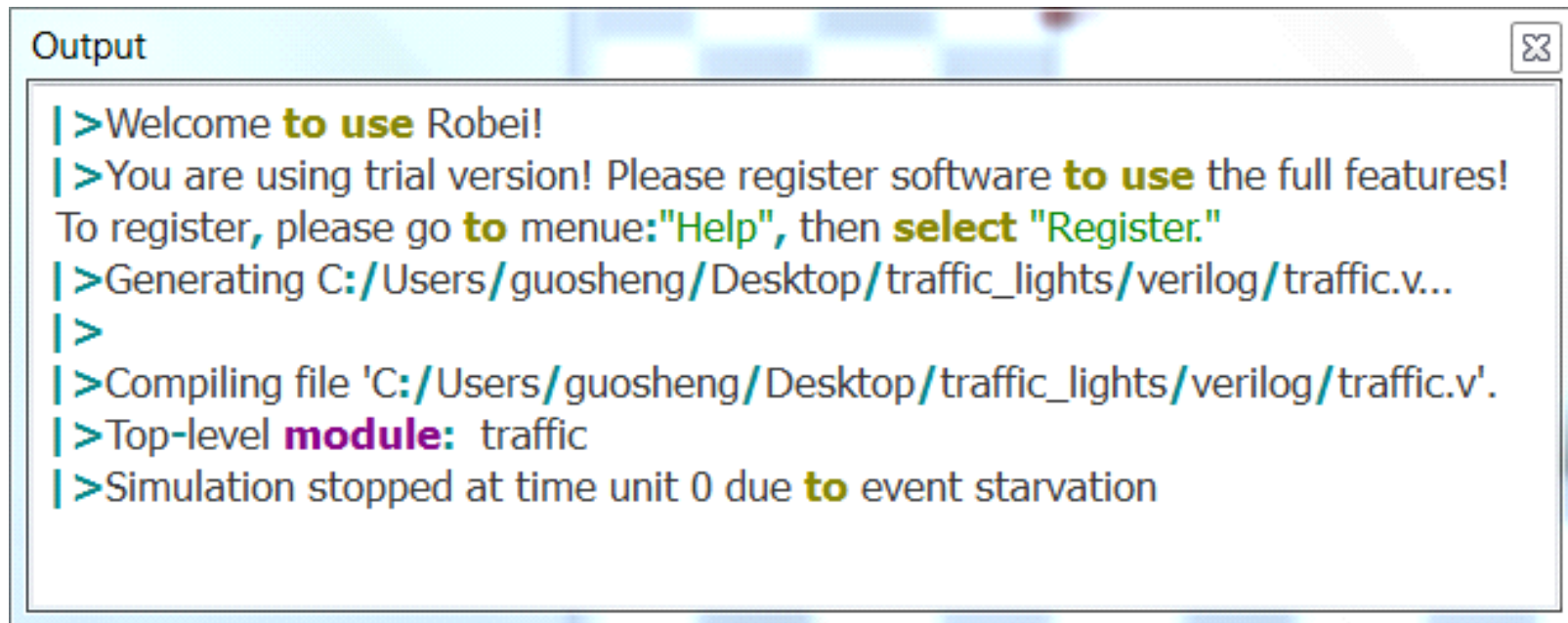
# 属性编辑器

- ❑ 展示选中元素的属性
- ❑ 编辑后直接应用在元素上

| Property <span>✕</span> |         |
|-------------------------|---------|
| Property                | Value   |
| Name                    | clr     |
| Inout                   | input   |
| Datatype                | wire    |
| Datasize                | 1       |
| Function                | clear   |
| Color                   | #ff0000 |
|                         |         |

# 输出窗口

- ❑ 错误，警告和信息的展示
- ❑ 可以浮动



The screenshot shows a window titled "Output" with a close button in the top right corner. The window contains the following text:

```
|>Welcome to use Robei!  
|>You are using trial version! Please register software to use the full features!  
To register, please go to menu:"Help", then select "Register."  
|>Generating C:/Users/guosheng/Desktop/traffic_lights/verilog/traffic.v...  
|>  
|>Compiling file 'C:/Users/guosheng/Desktop/traffic_lights/verilog/traffic.v'.  
|>Top-level module: traffic  
|>Simulation stopped at time unit 0 due to event starvation
```

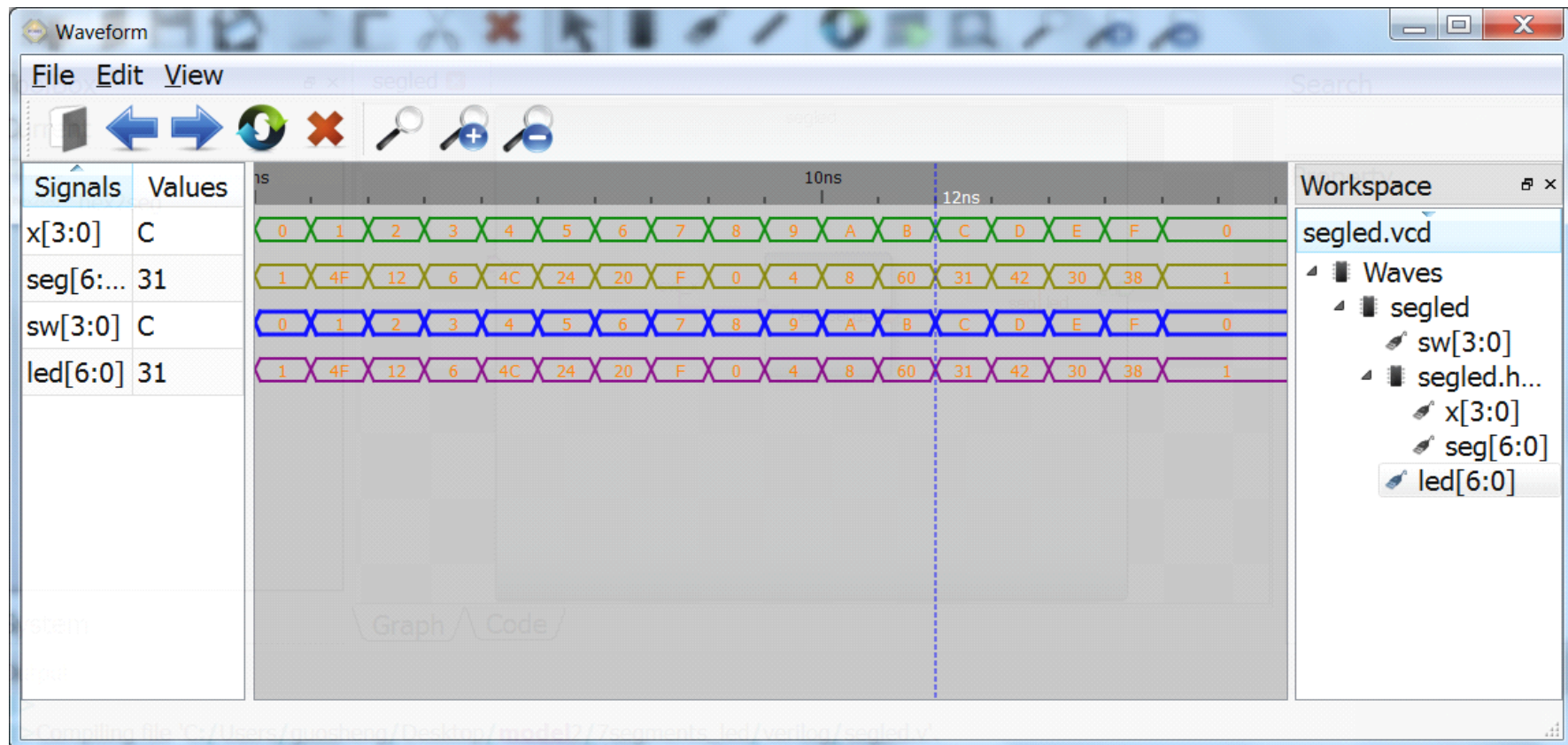
- 设计区域，界面设计接口，代码设计算法

切换界面设计  
和代码设计



# 波形窗口

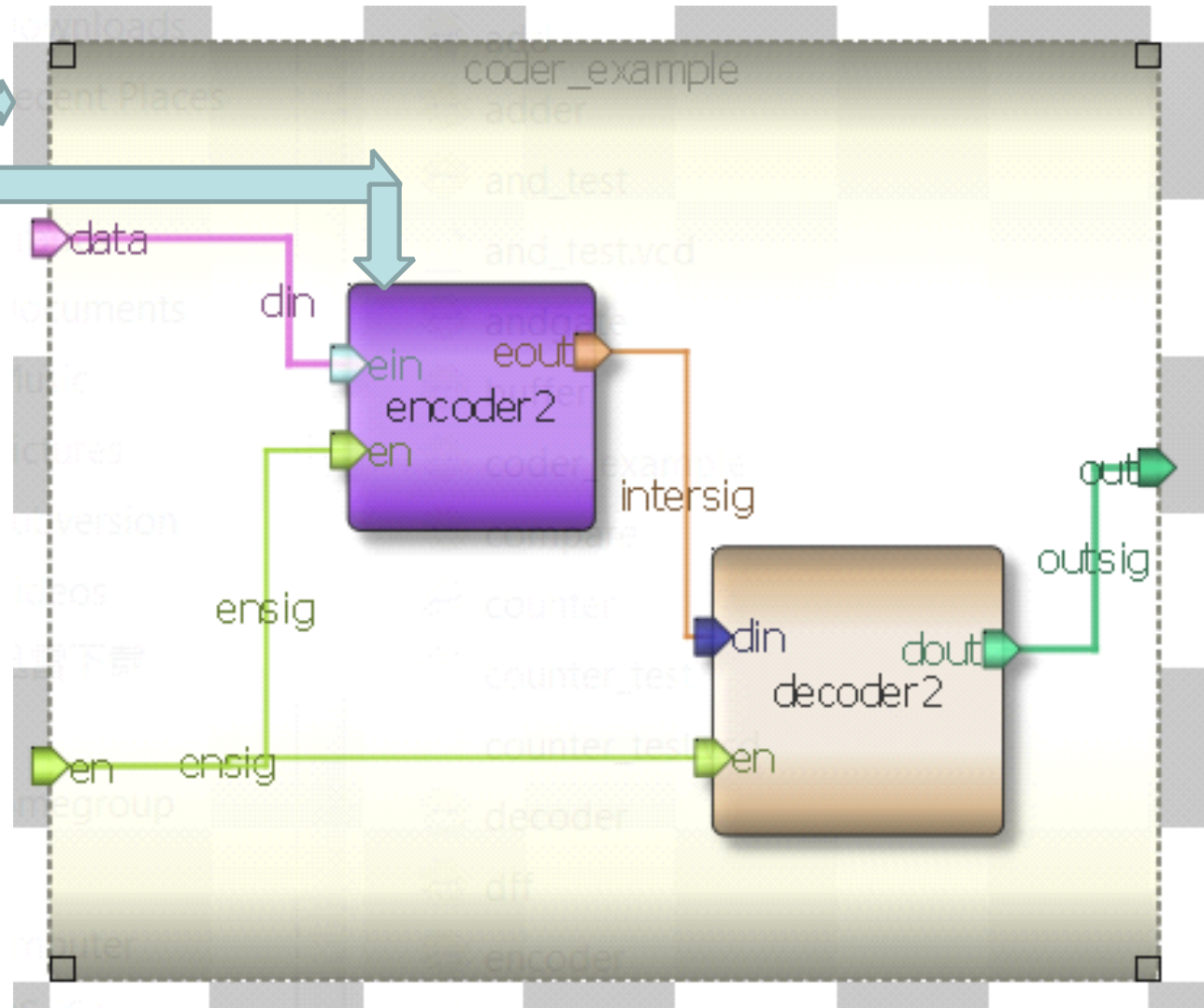
- 直观方便的操作
- 四种颜色自动间隔开相邻的波形
- 选中的波形高亮显示





# 三元素：Module

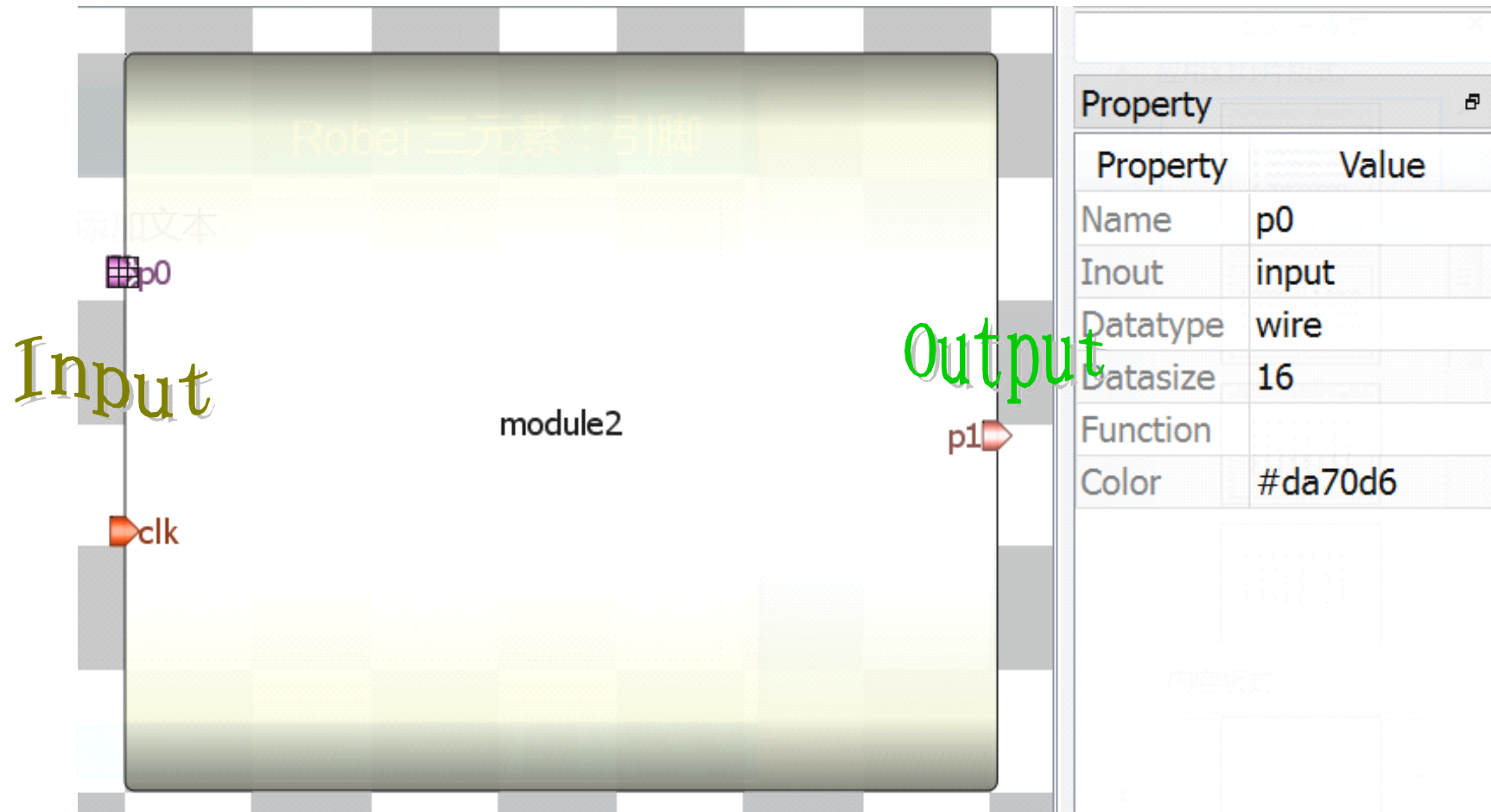
- ❖ **Module**
- ❖ **Model**
- ❖ **Testbench**
- ❖ **Constrain**



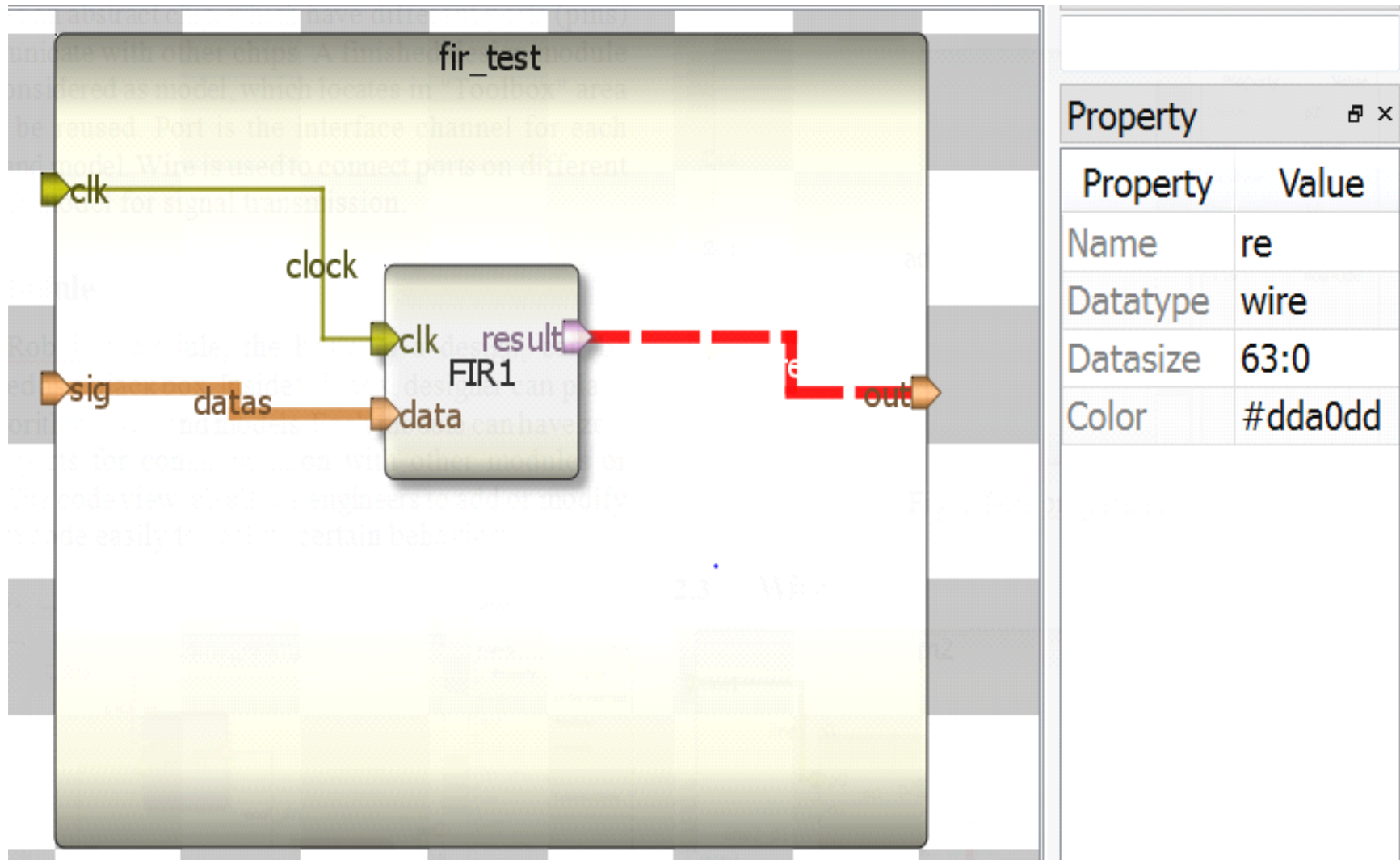
# 三元素：Port

输入

输出

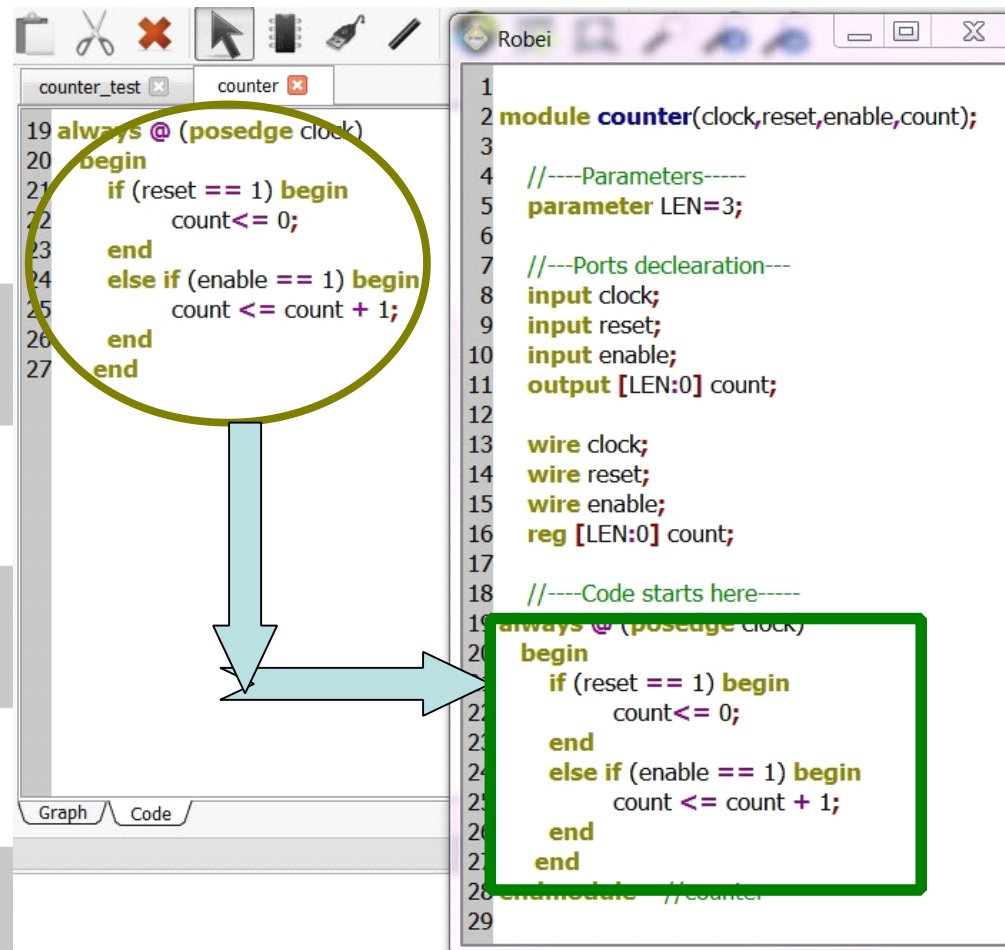
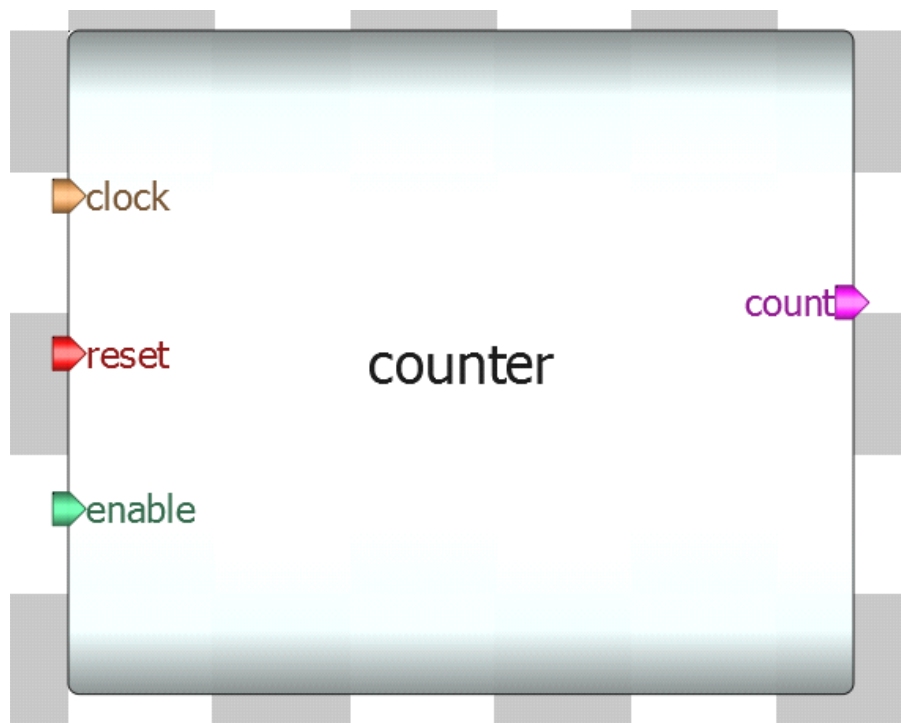


# 三元素：Wire



# 代码生成

- 结构层: 自动生成代码
- 核心算法: 手动输入



- 问答讨论

### 3.实例介绍

- 七段LED显示模型 ( Model )



- ✓ 界面设计
- ✓ 代码输入

- 测试文件 ( Test )



- ❖ 界面结构
- ❖ 激励输入

- 仿真波形 ( Wave )



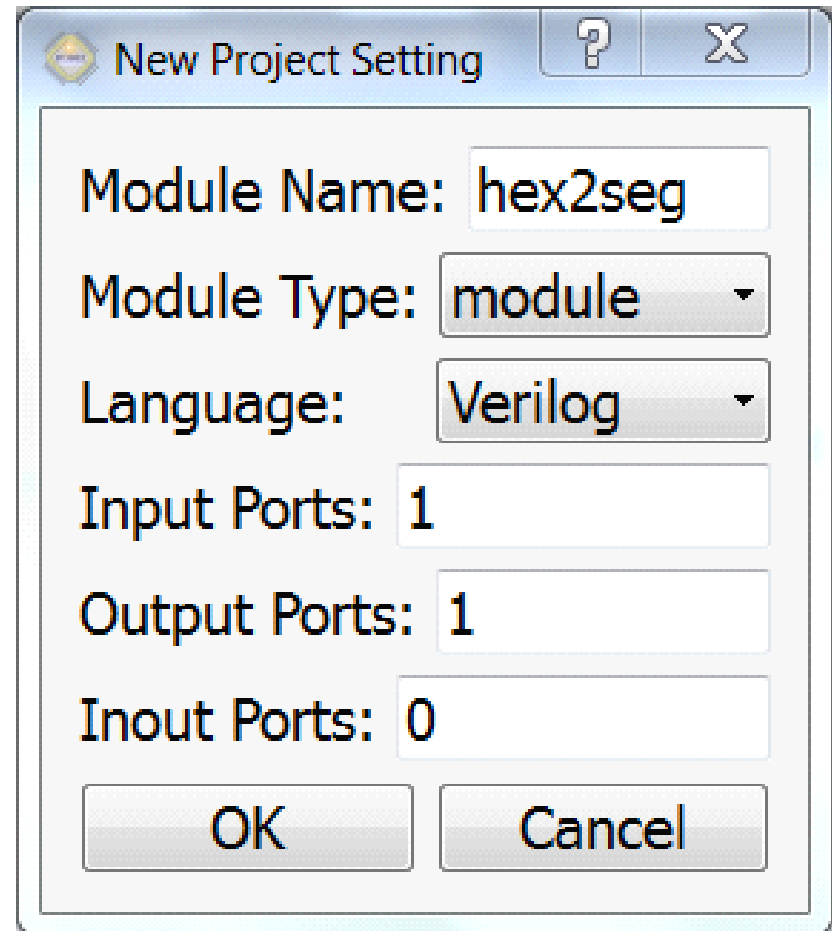
- 约束文件 ( Constrain )



- 单比特引脚分配
- 总线引脚分配

# 七段LED显示模型

- 创建一个新的模型：点击New按钮
- Module Name: 输入hex2seg
- Module Type 选择module
- Language: 不变
- Input Ports: 输入引脚一根
- Output Ports: 输出一根
- Inout Ports: 没有





# 七段LED显示模型

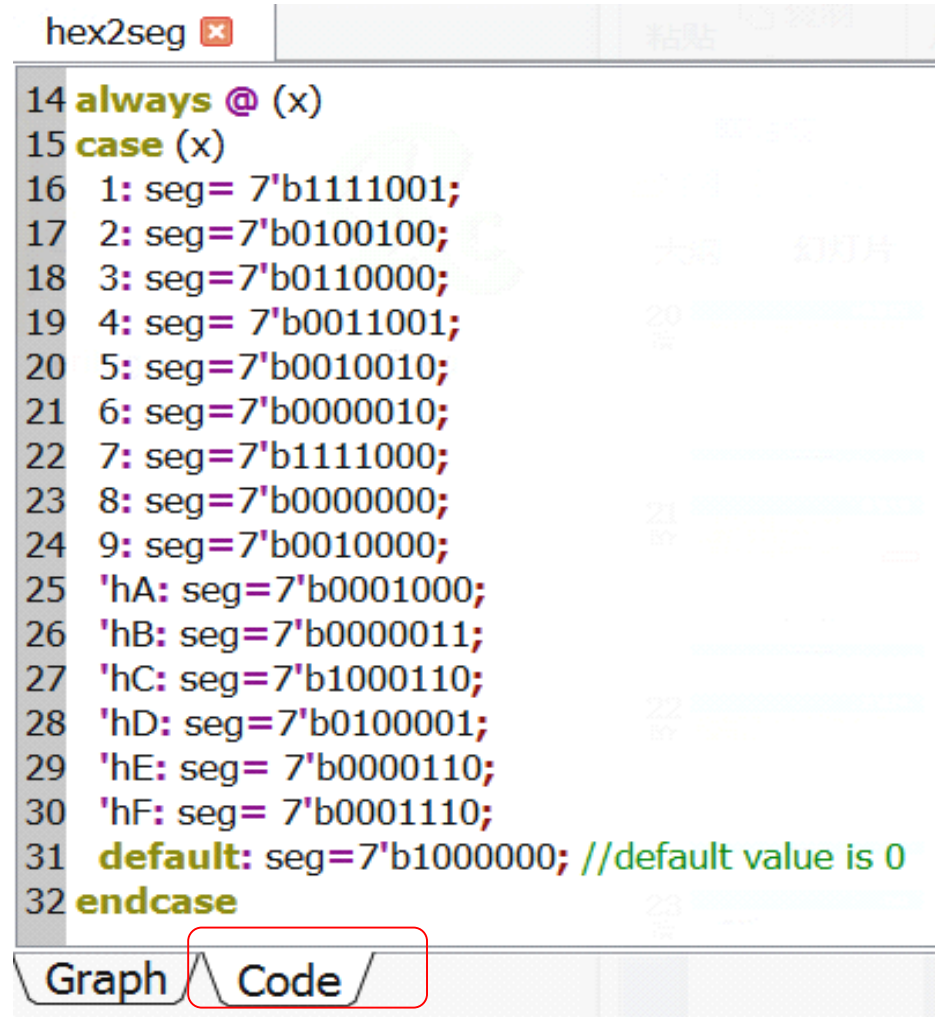
❖ 在属性窗口中配置每个引脚的对应属性。

| Name | Inout  | DataType | Datasize | Function        |
|------|--------|----------|----------|-----------------|
| x    | input  | wire     | 3:0      | input hex value |
| seg  | output | reg      | 6:0      | 7 segment LED   |



# 七段LED显示模型

➤ 点击视窗下面的**Code**,可以输入核心代码然后保存

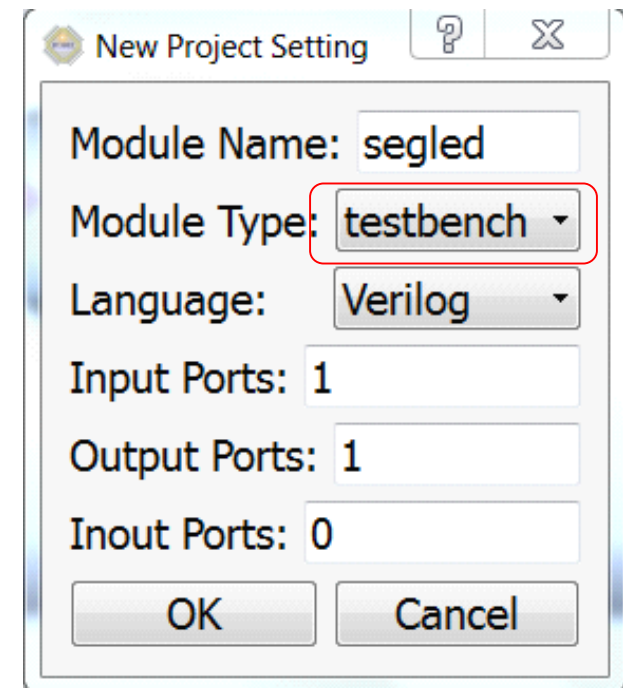


```
hex2seg ✕
14 always @ (x)
15 case (x)
16 1: seg= 7'b1111001;
17 2: seg= 7'b0100100;
18 3: seg= 7'b0110000;
19 4: seg= 7'b0011001;
20 5: seg= 7'b0010010;
21 6: seg= 7'b0000010;
22 7: seg= 7'b1111000;
23 8: seg= 7'b0000000;
24 9: seg= 7'b0010000;
25 'hA: seg= 7'b0001000;
26 'hB: seg= 7'b0000011;
27 'hC: seg= 7'b1000110;
28 'hD: seg= 7'b0100001;
29 'hE: seg= 7'b0000110;
30 'hF: seg= 7'b0001110;
31 default: seg= 7'b1000000; //default value is 0
32 endcase
```

Graph \ Code

# 测试文件

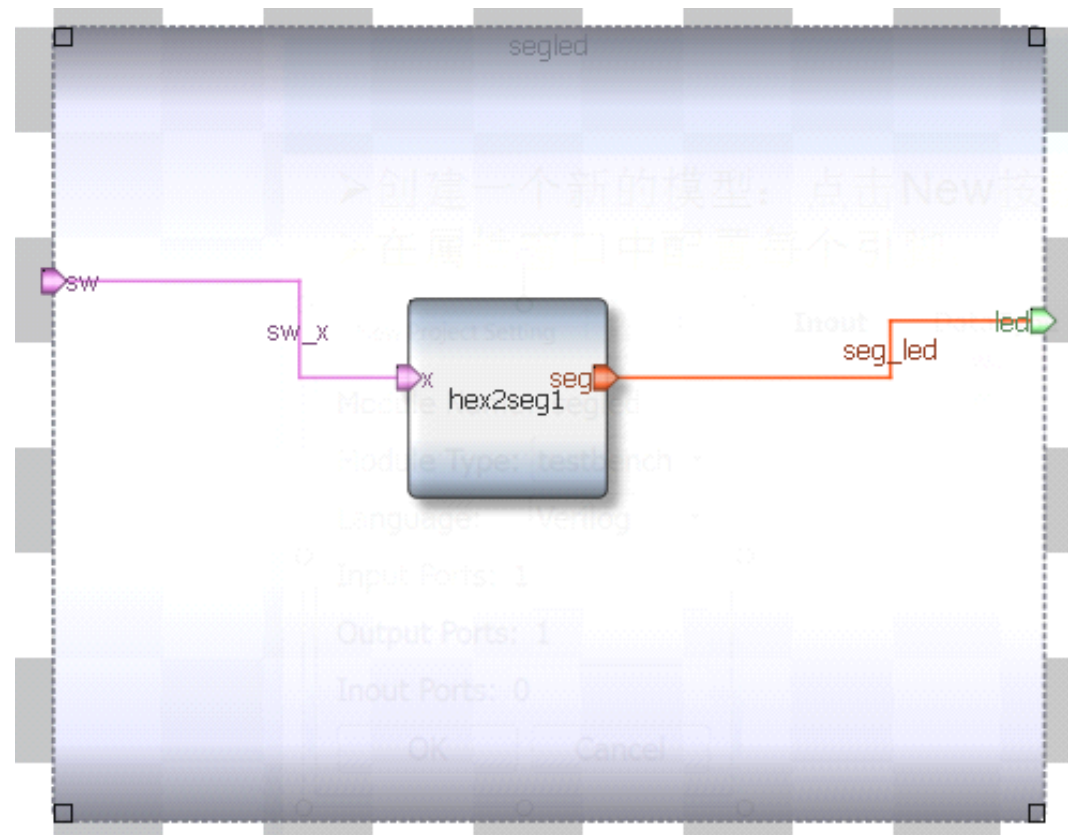
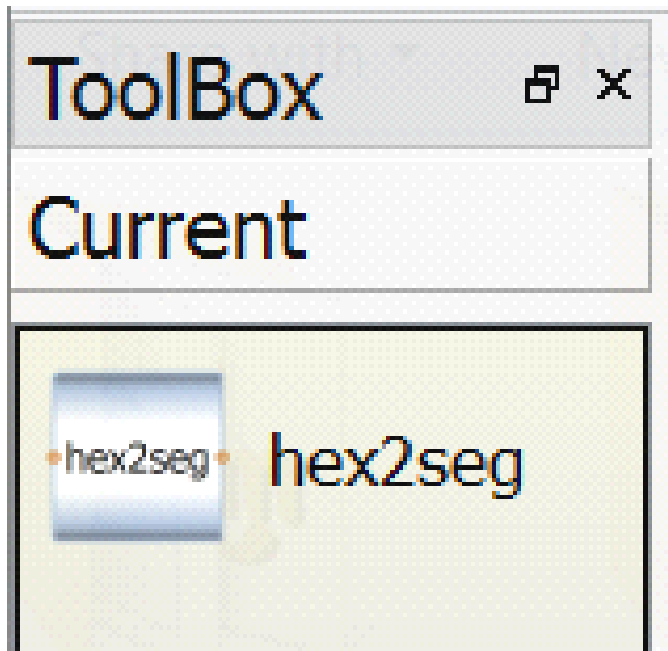
- 创建一个新的模型：点击New按钮
- Module Type选择testbench
- 设置每个引脚的属性。
- 保存到与hex2seg模型同一目录下



| Name | Inout  | DataType | Datasize | Function     |
|------|--------|----------|----------|--------------|
| sw   | input  | wire     | 3:0      | Input signal |
| led  | output | wire     | 6:0      | Output value |

# 测试文件

- ToolBox中的Current栏目中点击hex2seg，加入到新测试上。
- 连接对应引脚



# 测试文件

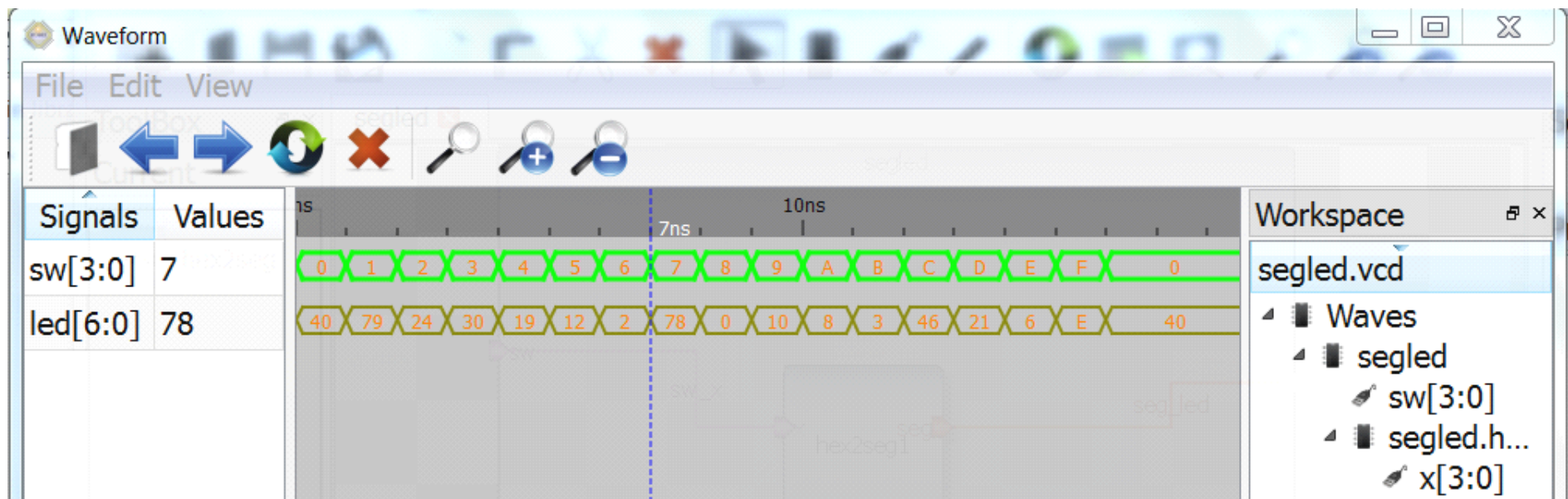
- 在Code栏输入激励代码
  - 记得用\$finish来结束仿真
  - 激励代码写在initial begin 和end中间
  - 时间延迟用#+延时长短

```
segled x
30 sw=4'b1000;
31 #1
32 sw=4'b1001;
33 #1
34 sw=4'b1010;
35 #1
36 sw=4'b1011;
37 #1
38 sw=4'b1100;
39 #1
40 sw=4'b1101;
41 #1
42 sw=4'b1110;
43 #1
44 sw=4'b1111;
45 #1
46 sw=4'b0000;
47 #1 $finish;
48 end
```

Graph Code

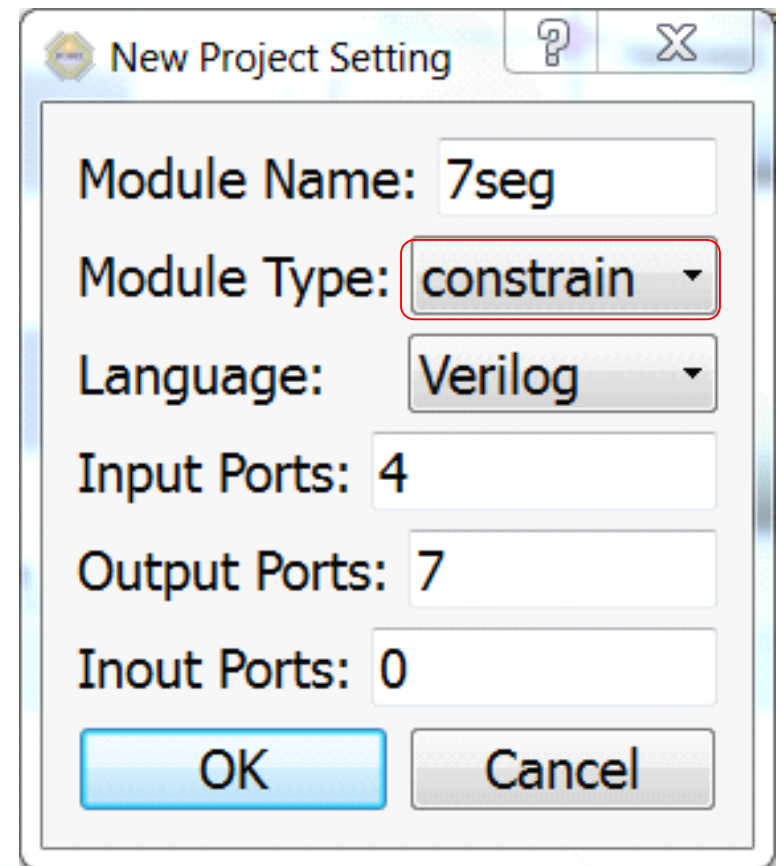
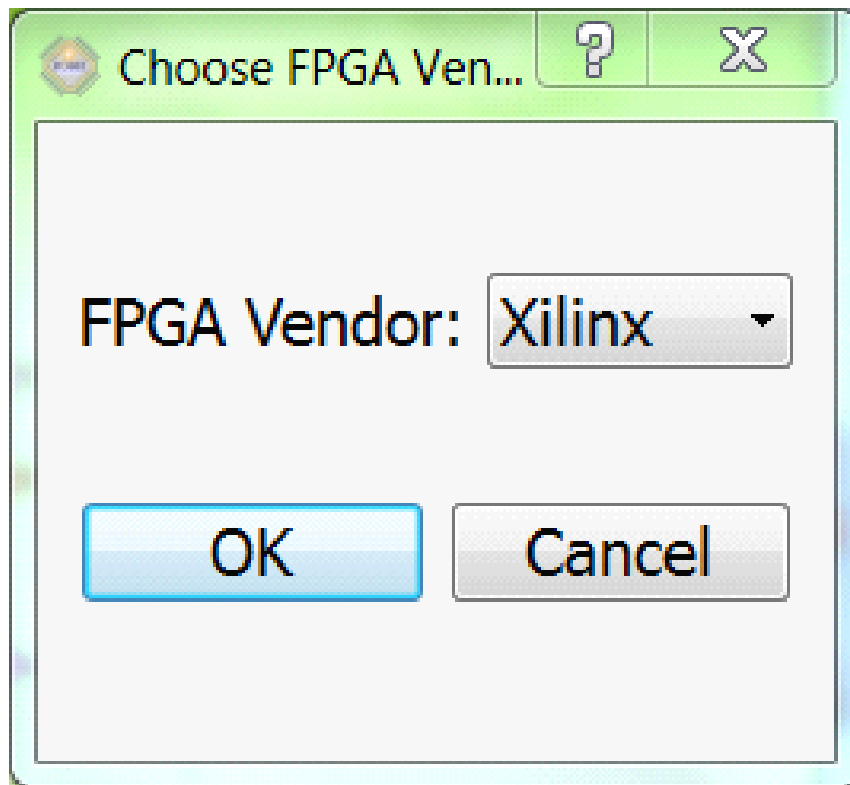
# 波形显示

- 菜单中点Run，仿真没有错误后点Wave
- 点击右侧Workspace中的信号加入波形显示窗口
- 选择不同的时间查看信号值
- 波形文件可单独打开



# 约束文件

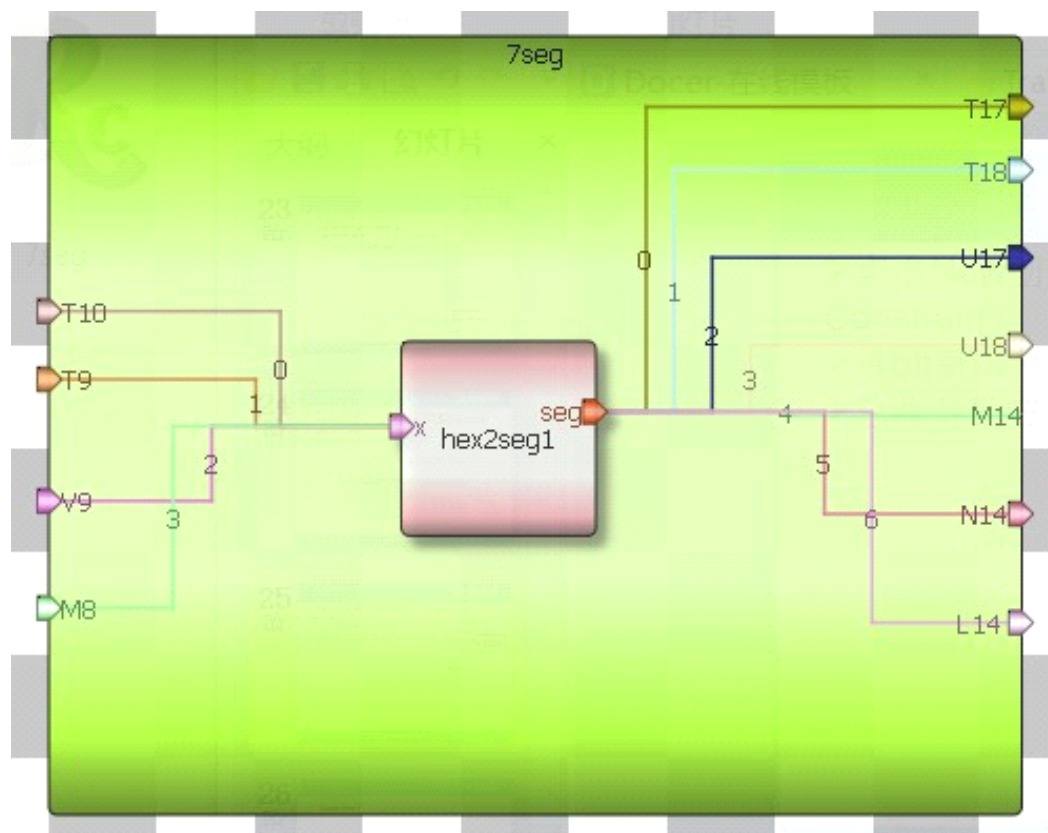
- 点击**New**创建一个约束文件（Module Type: Constrain）
- 设置FPGA厂家:点菜单**Setting->FPGA**





# 约束文件

- 单bit引脚分配直接相连
- 总线分配在连接线上给出引脚编号
- 额外的约束写在Code里面





# 约束文件

## ➤外围引脚:FPGA芯片引脚名称

| Name | Inout  | DataType | Datasize | Function        |
|------|--------|----------|----------|-----------------|
| T17  | output | wire     | 1        | 7 Segment LED 0 |
| T18  | output | wire     | 1        | 7 Segment LED1  |
| U17  | output | wire     | 1        | 7 Segment LED2  |
| U18  | output | wire     | 1        | 7 Segment LED3  |
| M14  | output | wire     | 1        | 7 Segment LED4  |
| N14  | output | wire     | 1        | 7 Segment LED5  |
| L14  | output | wire     | 1        | 7 Segment LED6  |
| T10  | input  | wire     | 1        | Switch 1        |
| V9   | input  | wire     | 1        | Switch 3        |
| T9   | input  | wire     | 1        | Switch 2        |
| M8   | input  | wire     | 1        | Switch 4        |

- 问答讨论

## 4.Robei特色

- Robei的成就
- Robei与其他EDA工具对比
- Robei与其他EDA工具无缝衔接
- 使用Robei的国家

## ➤ 论文

- Guosheng Wu, “Simplified FPGA Design with Robei”, Worldcomp proceedings of Intern. conf. on Computer design, Las Vegas, Nevada USA, pp.109-112, July 16-19, 2012.

## ➤ 专利

- Provisional patent applied

## ➤ 电子工程师常用软件

- <http://dl.21ic.com/hotsoftware/index.html#PLD/FPGA>

## ➤ 第一

- ❖ 第一个嵌入式平台上的设计仿真工具
- ❖ 第一个纯C++的EDA工具
- ❖ 第一个低于5M的FPGA设计仿真工具
- ❖ 第一个让大专生都能学会芯片设计的工具

## ➤ 合作

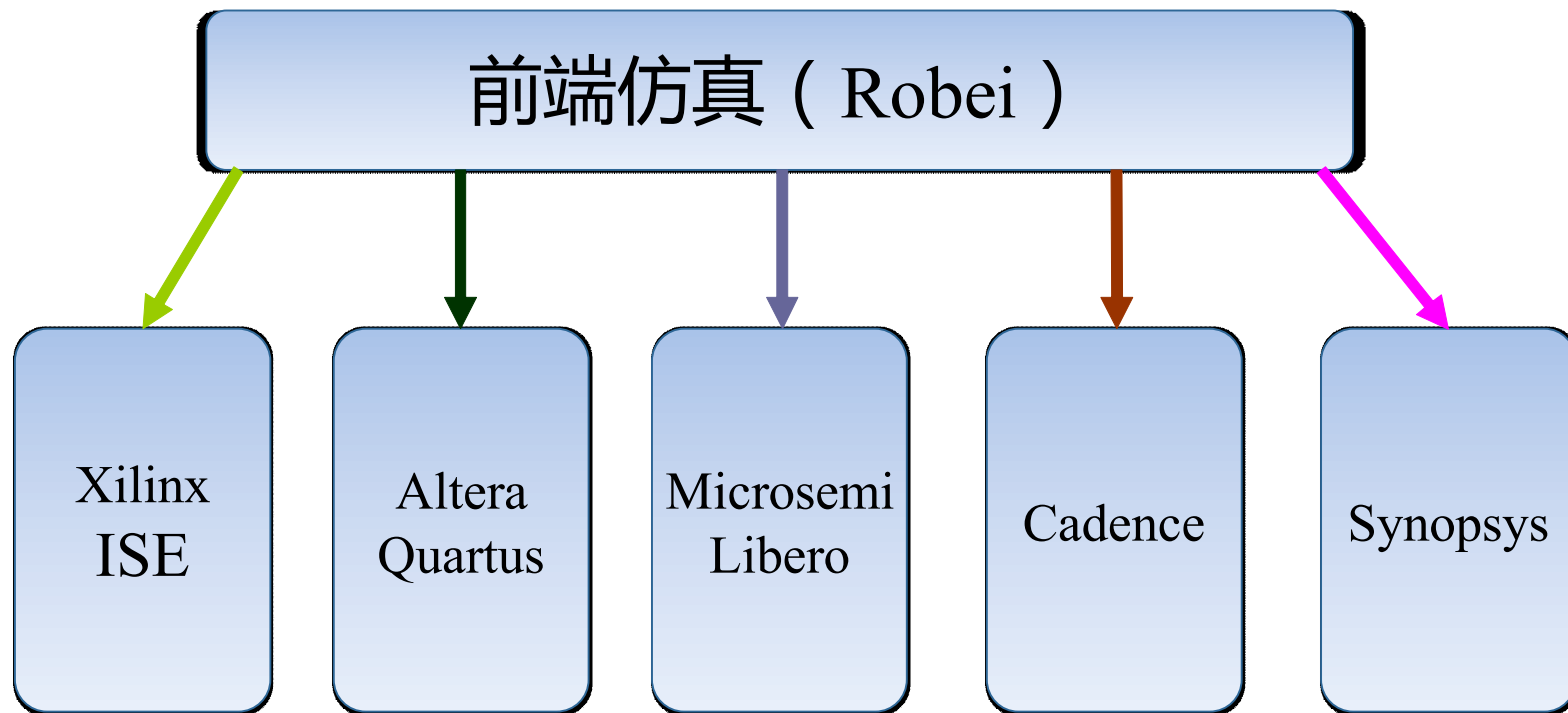
- ❖ 20多所名校加入大学计划
- ❖ 与Digilent等知名公司合作

# 与其他工具对比

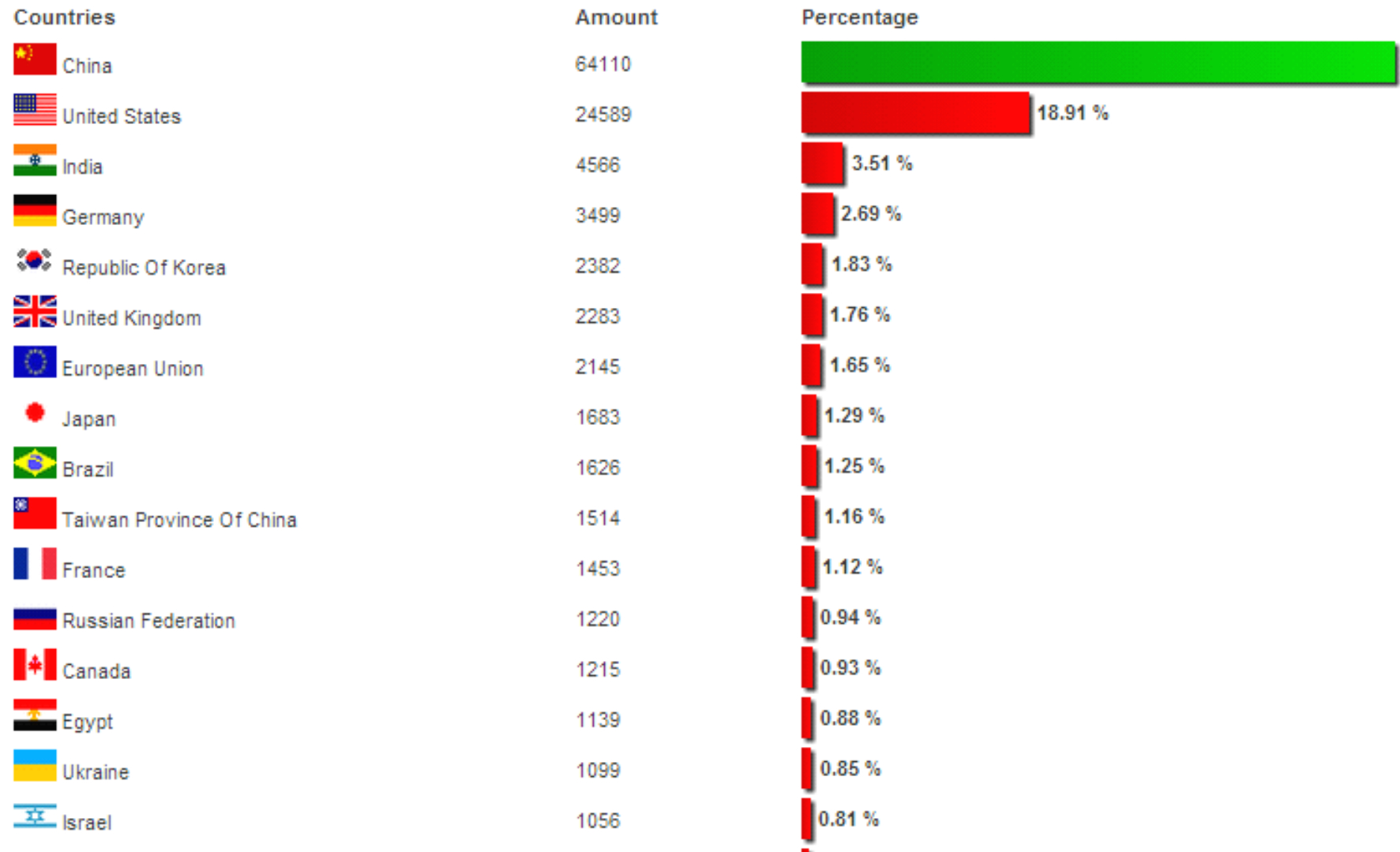
|       |                     |                      |                                   |
|-------|---------------------|----------------------|-----------------------------------|
| 软件名称  | <b>Active-HDL</b>   | <b>Modelsim</b>      | <b>Robei</b>                      |
| 输入方式  | <b>Code and GUI</b> | <b>Code</b>          | <b>Code and GUI</b>               |
| 模块化设计 | <b>No</b>           | <b>No</b>            | <b>Yes</b>                        |
| 代码生成  | <b>No</b>           | <b>No</b>            | <b>Yes</b>                        |
| 价格    | <b>中等</b>           | 昂贵                   | 便宜                                |
| 支持平台  | <b>Windows</b>      | <b>Windows,Linux</b> | <b>Windows,Linux,Mac, Android</b> |
| 复杂度   | <b>Complex</b>      | <b>Complex</b>       | <b>Simple</b>                     |
| 用户界面  | <b>Classical</b>    | <b>Classical</b>     | <b>Modern</b>                     |
| 支持语言  | <b>Verilog,VHDL</b> | <b>Verilog,VHDL</b>  | <b>Verilog</b>                    |

# Robei与其他EDA工具无缝衔接

- ❑ 芯片设计工程师99%时间在设计 and 前端仿真上，1%的时间用在综合，布局布线和下载上。Robei优化的是那99%的时间。



# 使用Robei的国家





Thanks!

- ❖ 下载软件 : <http://robei.com>
- ❖ 使用文档 : <http://robei.com/Software/help.pdf>
- ❖ 视频演示 : <http://robei.com/?p=399>
- ❖ 常见问题 : <http://robei.com/?p=426>
- ❖ 通过实验学Robei:  
<http://robei.com/?p=636&lang=zh>
- ❖ Robei实例 : <http://robei.com/?p=621&lang=zh>
- ❖ QQ 群 : 214910751或者9558080
- ❖ 免费培训 : <http://www.anymeeting.com/robeillc1>