



开二次方的 Verilog 实现模块

简介：

开方运算在竞赛许多算法中都有出现，本模块使用迭代法实现 Verilog 代码开二次方。

实现功能：

此模块实现将输入的 num_in 进行开方运算后通过 sq_root 输出。

接口说明：

Ports:				
Name	Inout	Data Type	Data size	Function
CLK_50M	input	wire	1	输入时钟
num_in	input	wire	32	被开发的数
done	output	reg	1	计算完成标志
sq_root	output	reg	32	计算结果
RST_N	input	wire	1	系统复位

仿真：

这里输入 16 进制的被开方数 40（十进制为 64），计算结果为 8：

Signals	Values	
clk_50M	1	
rst_n	1	
num_in[3...]	40	
sq_root[3...]	8	