



## IIC 通用模块

### 简介:

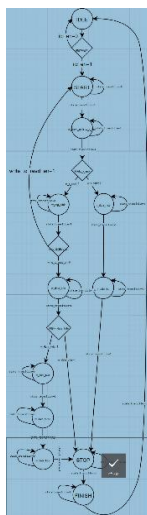
IIC 总线协议、还有我们平时提到的 I<sup>2</sup>C 协议、集成电路总线协议，都是指的同一个协议。IIC 因其使用的信号线少、支持多主设备、低功耗、抗干扰能力强等优点，成为了 FPGA 工程师必备的工具。它是一种串行通信总线，使用多主架构，由飞利浦公司在 1980 年代为了让主板、嵌入式系统或手机方便连接周边低速设备而发明的，它是一种半双工的通信协议。

### 实现功能:

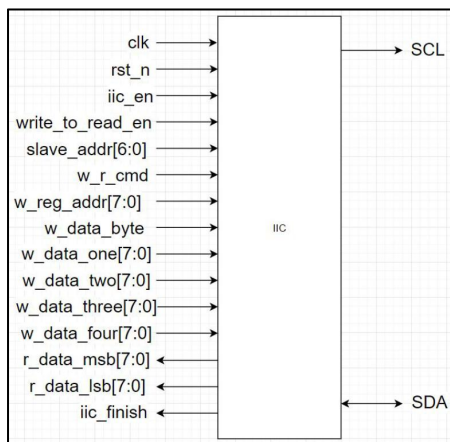
此模块为自制简易的 IIC IP 核（实现基本的数据读写操作）。

### 实现原理:

IIC 数据传输状态转移图（由于状态机较复杂，这里只放压缩版图片，高清状态图位于模块所在文件夹下面）:



### IP 核系统框图:



### 接口说明:



Ports:

Name	Inout	Data Type	Data size	Function
clk	input	wire	1	
rst_n	input	wire	1	
iic_en	input	wire	1	
write_to_read_en	input	wire	1	
w_slave_addr	input	wire	7	
w_r_cmd	input	wire	1	
w_reg_addr	input	wire	8	
w_data_byte	input	wire	8	
w_data_one	input	wire	8	
w_data_two	input	wire	8	
w_data_three	input	wire	8	
w_data_four	input	wire	8	
R_DATA_MSB	output	wire	8	
R_DATA_LSB	output	wire	8	
IIC_FINISH	output	wire	1	
SCL	output	wire	1	
SDA	inout	wire	1	

clk: IIC 模块的输入时钟, 根据需要系统时钟分频

rst\_n: 系统复位信号

iic\_en: IIC 使能

write\_to\_read\_en: 读数据时, RESTART 的标志信号, 为 1 时 IIC 重新发起起始信号

slave\_addr: 从设备地址, 用户手动设置

w\_r\_cmd: 读写控制端口

w\_reg\_addr: 读写数据的寄存器地址, 用户手动设置

w\_data\_byte: 需要写入的数据, 用户手动设置

w\_data\_one: 需要写入的第一个字节

w\_data\_two: 需要写入的第二个字节

w\_data\_three: 需要写入的第三个字节

w\_data\_four: 需要写入的第四个字节

r\_data\_msb: 读出的高 8 位数据

r\_data\_lsb: 读出的低 8 位数据

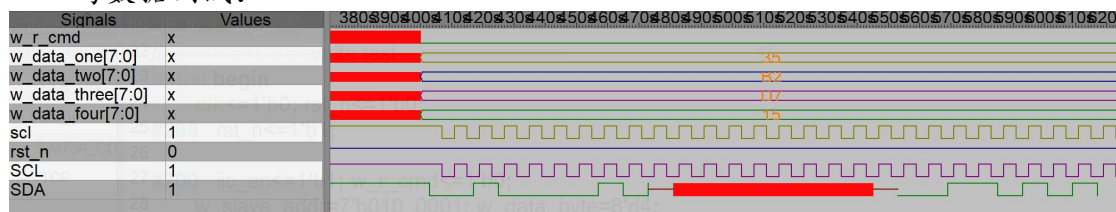
iic\_finish: IIC 一次传输完成的标志

SCL: IIC 时钟

SDA: IIC 数据线

仿真:

写数据测试:



读数据测试:

